

特開平11-39210

(43)公開日 平成11年(1999)2月12日

(51)Int. Cl.⁶

G06F 12/02

識別記号

510

FI

G06F 12/02 510 A

審査請求 未請求 請求項の数2

OL

(全9頁)

(21)出願番号 特願平9-197081

(22)出願日 平成9年(1997)7月23日

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 奈良 和也

東京都羽村市栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

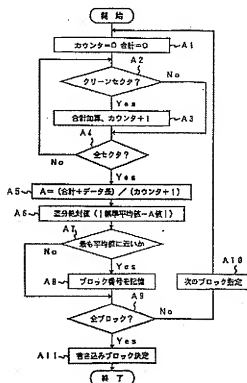
(74)代理人 弁理士 鈴江 武彦 (外5名)

(54)【発明の名称】フラッシュメモリのメモリ制御装置

(57)【要約】

【課題】NOR型フラッシュメモリの使用不可能領域を低減させることを可能にする。

【解決手段】NOR型フラッシュメモリを複数のブロックに分け、各ブロックを固定数、可変長のセクタで管理し、データを書き込む場合には、各ブロックについて(ステップA10、A11)、データを書き込んだ際のブロック内のセクタの平均セクタ長(ステップA5)と、ブロックサイズをブロック内の固定セクタ数で除算して求まる標準平均値とを比較して(ステップA6)、最も標準平均値に近くなるブロックを選択して(ステップA8)、データを書き込む対象として決定する(ステップA12)。



【特許請求の範囲】

【請求項1】 NOR型フラッシュメモリを複数のブロックに分け、各ブロックを固定数、可変長のセクタで管理する管理手段と、

前記管理手段によって管理されたNOR型フラッシュメモリに対してデータを書き込む場合には、データを書き込んだ際のブロック内のセクタの平均セクタ長が標準平均値に近くなるブロックを選択して、データを書き込む手段とを具備したことを特徴とするNOR型フラッシュメモリのメモリ制御装置。

【請求項2】 NOR型フラッシュメモリを複数のブロックに分け、各ブロックを、異なるセクタ数、セクタ長で管理する管理手段と、

前記管理手段によって管理されたNOR型フラッシュメモリに対してデータを書き込む場合には、データ長に基づいて分類されたデータ種類に応じてブロックを選択して、データを書き込む手段とを具備したことを特徴とするNOR型フラッシュメモリのメモリ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、NOR型フラッシュメモリを管理するメモリ制御装置に関する。

【0002】

【従来の技術】 フラッシュメモリは、全ビット、あるいはブロック単位で消去できるEEPROMであり、消去／書き込みとも電気的に行なう。消去（全域ビット1化）は、消去ブロック単位で行なうことができる（以下、消去ブロックのことを「ブロック」と称する）。また、書き込みは、ブロックに対して、1バイトごとに行なうことが可能である。

【0003】 NOR型フラッシュメモリは、EPROM並のランダムな読出し速度を持つ反面、消去ブロックサイズが64kバイト程度と大きくになっている。NOR型フラッシュメモリを用いる情報処理装置（ファイルシステム）は、消去ブロック内を、128～1024バイト程度の固定長データ域で管理している（以下、このデータ域を「セクタ」と称する）。

【0004】 メモリに空きがなくなった場合には、ガレキデータ（訂正や削除等が行なわれて必要なくなった無効なデータ）を無くすことにより空きの領域を確保する。この際、データの安全性を考慮して、全セクタが未使用のブロック（以下、このブロックを「スベアブロック」と称する）を用意して、ブロック消去前にクリーンなデータ（有効なデータ）をスベアブロックに書き写す場合が多い（以下、この処理を「メモリの整理処理と称する」）。

【0005】 従来、メモリの整理処理には、以下の2つの方法が用いられている。

(1) ブロック内のセクタ位置が変更されないように、クリーンデータをセクタ位置を同じにしてスベアブロッ

クに書き写す。この方法を用いた場合には、書き込める領域が複雑にならないように、セクタを固定長にしなければならないという状況が生じる。

【0006】 (2) ブロックの固定位置に他ブロックのセクタの位置をもとに相対的なセクタ位置指定が出来るように、書き込み先の位置を参照できる間接アドレステーブルを設け、スベアブロックにクリーンデータを上位アドレスから詰めて書き写す。この方法を用いた場合、間接アドレステーブルのテーブル長を固定にするために、セクタを固定数にしなければならない状況が生じる。

【0007】 このように、NOR型フラッシュメモリの消去ブロックが大きいことから発生するメモリの整理処理の影響を他のブロックが受けないために、また、従来からの外部記憶デバイスの処理方法を適用するために、セクタを固定長として管理するようになっている。

【0008】

【発明が解決しようとする課題】 このように従来ではNOR型フラッシュメモリに対しては、セクタを固定長として管理していた。セクタを固定長とした場合、セクタ長に満たないデータを保存する場合には、セクターデータ長分の領域が使用不可能領域となってしまう、メモリ領域の使用効率が悪くなってしまふ。

【0009】 サイズが大きいデータをファイルとして保存する場合（テキストファイル等）には、使用不可能領域が占める率が少なくて済むが、1データを1セクタに割り当て（1セクタでは足りないデータの場合は、新たにセクタを確保する）ような場合（データベースデータ等）では、特に実際のデータに対して必要となるセクタ数が多くなり使用不可能領域が占める率が高くなってしまふ。

【0010】 本発明は前記のような事情を考慮してなされたもので、NOR型フラッシュメモリの使用不可能領域を低減させることが可能なフラッシュメモリのメモリ制御装置を提供することを目的とする。

【0011】

【課題を解決するための手段】 本発明は、NOR型フラッシュメモリを複数のブロックに分け、各ブロックを固定数、可変長のセクタで管理する管理手段と、前記管理手段によって管理されたNOR型フラッシュメモリに対してデータを書き込む場合には、データを書き込んだ際のブロック内のセクタの平均セクタ長が標準平均値に近くなるブロックを選択して、データを書き込む手段とを具備したことを特徴とする。

【0012】 これにより、ブロック内のセクタ数を固定とすることで、メモリの整理処理等に伴うメモリの管理を複雑化することを回避しつつ、可変長セクタとすることができ、小さいデータを扱う場合であっても、使用不可能な記憶領域の発生が低減される。

【0013】 また本発明は、NOR型フラッシュメモリ

を複数のブロックに分け、各ブロックを、異なるセクタ数、セクタ長で管理する管理手段と、前記管理手段によって管理されたNOR型フラッシュメモリに対してデータを書き込む場合には、データ長に基づいて分類されたデータ種類に応じてブロックを選択して、データを書き込む手段とを具備したことを特徴とする。

【0014】これにより、複数の異なるセクタ数、セクタ長で管理されたブロックから、書き込みの対象となっているデータに於じた適当なブロックが選択され、書き込みが実行されるので、使用不可能な記憶領域の発生が低減される。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図1は本実施形態に係わるNOR型フラッシュメモリのメモリ制御方法を用いる情報処理装置（制御装置）の基本構成を示すブロック図である。情報処理装置は、例えば携帯可能なコンピュータによって構成される手帳型電子機器である。

【0016】図1に示すように、情報処理装置は、CPU10、NOR型フラッシュメモリ12、RAM14、ROM16、記憶装置18、及び入力装置20を設けて構成されている。

【0017】CPU10は、ROM16に格納されたプログラムを読み出し、各装置をそのプログラムに従い制御する。例えば、CPU10は、ROM16に格納された特定の目的を持った処理を実行するためのアプリケーションプログラムや、データファイルをNOR型フラッシュメモリ12等の記憶媒体に対して書き込み、読み出しするファイルシステムのプログラムに従う処理を実行することができる。

【0018】NOR型フラッシュメモリ12は、各種の処理において作成されたデータや各種の処理（制御手段）を実行するためのプログラム等が、CPU10によって書き込み、読出し、消去される。

【0019】RAM14は、各状態を示すデータ、可変データ等が、CPU10により書き込み、読出しされる。ROM16は、各種の処理（制御手段）を実行するためのプログラムや固定データが、CPU10により読み出される。

【0020】記憶装置18は、各種の処理において作成されたデータや各種の処理を実行するためのプログラムを記憶するためのもので、必要に応じてCPU10によって読出し、書き込み、消去される。

【0021】入力装置20は、キーボード等によって構成されるもので、CPU10によって実行される各種の処理に対する指示等を入力するためのもので、入力した指示をCPU10に通知する。

【0022】次に、第1実施形態における情報処理装置の動作について説明する。第1実施形態は、NOR型フラッシュメモリ12の1ブロック内のセクタ数を固定と

し、セクタ長を可変として管理する方法を用いる。また、メモリの整理処理は、ブロックの固定位置に他ブロックから相対的のセクタ位置指定が出来るように、間接アドレステーブルを設け、クリーンデータを上位アドレスから始めて書き写す方法を用いるものとする。従って、ブロックの固定位置に間接アドレステーブルが設けられ、他ブロックのセクタの位置をもとに相対的なセクタ位置指定が出来るようになっている。

【0023】セクタ数を固定とするのは、メモリの整理処理において使用する間接アドレステーブルの大きさを固定するためである。可変長であるセクタには、書き込みの対象とするデータ長をもとにして適当なブロックが選択され、書き込みが行われる。

【0024】図2は情報処理装置のNOR型フラッシュメモリ12に対するメモリ制御方法の動作を示すフローチャート、図3は第1実施形態におけるメモリの整理処理を例にしたデータ構成を示す図である。

【0025】まず、第1実施形態におけるメモリの整理処理について図3を用いて説明する。第1実施形態では、各ブロックでのセクタ長を可変としているため、図3に示すように、各物理ブロック毎でセクタの開始位置が異なっている。また、各物理ブロックの所定の位置に間接アドレステーブルが設けられている。

【0026】例えば、仮想ブロック2である物理ブロック2に空き領域を確保するため、スベアブロックとして、物理ブロック3にクリーンデータを上位アドレスから始めて書き写す。1ブロックのセクタ数は固定であるので、各セクタの書き込み先は間接アドレステーブルによって管理することができる。こうして、仮想ブロック2には、空き領域が確保され、データの書き込みが可能となる。

【0027】CPU10は、アプリケーションを実行した結果、データをNOR型フラッシュメモリ12に書き込む際、可変長セクタで管理されるブロックの使用効率を良くするために以下の手順により書き込みブロックを決定する。

【0028】第1実施形態では、ブロック中の全クリーンデータのデータ長の平均値が、ブロック内の固定のセクタ数によって決まる1セクタ当たりのデータ長（標準平均値）に近くなるようにしてデータの書き込みを行なう。

【0029】まず、CPU10は、NOR型フラッシュメモリ12のあるブロックについて、データの書き込み対象とするか否かを判断する処理を行なうために、クリーンセクタ数を求めるためのカウンタの値を“0”、データ長の合計の値を“0”に初期化して、RAM14において保持する（ステップA1）。

【0030】CPU10は、対象とするブロック内の各セクタについてクリーンセクタであるか否かを判別し（ステップA2）、クリーンセクタであった場合にはカ

ウンタの値に1を加算し、またそのセクタのデータ長を合計値に加算する(ステップA3)。

【0031】全てのセクタについて、以上の処理を繰り返して行ない、対象とするブロックのクリーンセクタ数と、クリーンセクタのデータ長の合計値を算出する(ステップA4)。

【0032】ここで、CPU10は、対象とするブロック内の全クリーンセクタのデータ長の合計値に、今回、NOR型フラッシュメモリ12に対して書き込むデータのデータ長を加算した値を、ブロック内のクリーンセクタ数(カウンタの値)に1加算した値によって除算する(ステップA5)。すなわち、データを書き込んだと仮定した際の、書き込み後の1セクタ当たりのデータ長(ここではA値とする)を求める。

【0033】次に、CPU10は、ブロックサイズをブロック内の固定セクタ数で除算して求まる標準平均値(1セクタ当たりのデータ長)と、ステップA5において求めたA値との差の絶対値(ここでは差分絶対値とする)を求める(ステップA6)。

【0034】CPU10は、差分絶対値をRAM14に保持されている他のブロックの差分絶対値と比較して小さいかを判別し(ステップA7)、小さい場合にはA値が標準平均値に最も近いものとして、RAM14に差分絶対値と共にブロック番号を記憶する(ステップA8)。なお、最初のブロックに対する処理の際には、比較対象とするデータがRAM14に記憶されていないので、CPU10は、ステップA7における判別を行なわず、無条件に差分絶対値と共にブロック番号を記憶するものとする。

【0035】ここで、全てのブロックに対する処理が終了していなければ(ステップA9)、CPU10は、次のブロックを指定し(ステップA10)、ステップA1より前述と同様の処理を実行する。

【0036】従って、ステップA7における比較によって、A値が標準平均値に最も近いものとして判別されたブロックのブロック番号がRAM14に記憶されることになる。全ブロックについての処理の後、CPU10は、RAM14に記憶されているブロック番号が示すブロックをデータの書き込み対象とするブロックに決定する(ステップA11)。

【0037】このようにして、NOR型フラッシュメモリ12に対してデータを書き込む際に、固定数可変長のセクタで管理されている複数のブロックから、データを書き込んだ際にクリーンセクタのデータ長の平均がブロックの標準平均値に近くなるブロックを優先して選択し、実際にデータの書き込みが行われる。

【0038】すなわち、クリーンセクタのデータ長の平均がブロックの標準平均値となった状態が、無駄となつていない領域を含まないブロックの理想的な利用状態であるので、データの書き込みを行なう毎に、この状態に近

付ようなブロックが選択されてデータの書き込みが行われることで、NOR型フラッシュメモリ12の記憶容量の利用効率を向上させることができる。

【0039】従って、1データを1セクタに割り当てるようなデータベース等に用いる記憶領域として、NOR型フラッシュメモリ12を使用した場合であっても、効率良くデータの書き込みを行なうことができる。

【0040】なお、前述した第1実施形態では、ブロック間で記憶領域の使用効率を平均化するように、データを書き込むブロックを選択して回数が、NOR型フラッシュメモリ12がブロック消去回数に制限があることから、単純に使用効率の平均化だけでなくブロック消去回数も考慮して、データを書き込むブロックを選択するようにしても良い。

【0041】例えば、全ブロックの消去回数の平均値を求め、その平均値から規定の割合を越えている回数のブロック消去が実行されているブロックについては、データの書き込み対象とする候補から外すようにするという方法を用いることができる。

【0042】次に、第2実施形態における情報処理装置の動作について説明する。第2実施形態は、NOR型フラッシュメモリ12の1ブロック内のセクタ長、セクタ数をブロック毎にそれぞれ異なるようにして管理する方法を用いる。また、メモリの整理処理は、ブロックの固定位置に他ブロックから相対的のセクタ位置指定が出来るように、開閉アドレステーブルを設け、クリーンデータを上位アドレスから詰めて書き写す方法を用いるものとする。

【0043】図4は情報処理装置のNOR型フラッシュメモリ12に対するメモリ制御方法の動作を示すフローチャート、図5は第2実施形態におけるメモリの整理処理を例にしたデータ構成を示す図である。

【0044】まず、第2実施形態におけるデータ構成について図5を参照しながら説明する。第2実施形態では、NOR型フラッシュメモリ12の1ブロック内のセクタ長、セクタ数を、ブロック毎に異なるように設定し、データを書き込む際に、データに応じたブロックを選択してデータの書き込みを行う。

【0045】例えば、NOR型フラッシュメモリ12の複数のブロックの中で、仮想ブロック番号1、4のブロックは、512バイト固定長、128個セクタとし、仮想ブロック番号2、5のブロックは、256バイト固定長、256個セクタとし、仮想ブロック番号3、6のブロックは、128バイト固定長、512個セクタとするように、複数のパターンを予め決定しておく。図5では前述のようにして決定されたセクタ長、セクタ数の仮想ブロック1、2、3を示している。

【0046】まず、第2実施形態におけるメモリの整理処理について図5を用いて説明する。例えば、仮想ブロック2である物理ブロック2に空き領域を確保するた

め、スベアブロックとして、物理ブロック3にクリーンデータを上位アドレスから詰めて書き写す。1ブロックのセクタ数が旧仮想ブロック2と新仮想ブロック2とが同じなので、各セクタの書き込み先は間接アドレステーブルによって管理することができる。こうして、仮想ブロック2には、空き領域が確保され、データの書き込みが可能となる。

【0047】CPU10は、アプリケーションを実行した結果、データをNOR型フラッシュメモリ12に書き込む際、ブロック毎で異なるセクタ長、セクタ数で管理されるブロックの使用効率を良くするために以下の手順により書き込みブロックを決定する。

【0048】第2実施形態では、書き込みの対象とするデータのデータ長、データ種別（アプリケーション別のファイル種別）に合わせて、書き込み対象とするブロックを決定してデータの書き込みを行なう。

【0049】CPU10は、アプリケーションプログラムに基づいて実行されるアプリケーションがデータ書き込みを要求した場合、NOR型フラッシュメモリ12に対するデータの書き込みを実行するファイルシステムを起動して、データ書き込み命令を与える。この際、アプリケーションは、アプリケーション毎のデータ種別をファイルシステムに対して与える。

【0050】CPU10は、ファイルシステムによって、アプリケーションからのデータ種別により、セクタ長に合ったブロックを決定する（ステップB1）。例えば、手帳型電子機器に当てはめた場合、手帳型電子機器に設けられた各種アプリケーションとNOR型フラッシュメモリ12のブロックの関係は、次のようにして設定できる。なお、手帳型電子機器には、情報サービス、手書きメモ、電子メール、メモ、電話、スケジュール等の各種のアプリケーションが設けられているものとする。

【0051】例えば、情報サービス、手書きメモのアプリケーションは、比較的扱うデータのデータサイズが大きいので、512バイト固定長セクタブロックに設定し、電子メール、メモのアプリケーションは、256バイト固定長セクタブロック、電話、スケジュールのアプリケーションは、128バイト固定長セクタブロックのように、アプリケーション別のデータ長、データ種別に応じて設定する。

【0052】CPU10は、データ種別に応じて、データの書き込み対象とするブロックを決定すると、該当ブロックにデータを書き込むだけの空き領域があるかを判別する（ステップB2、B3、B4）。

【0053】ここで、決定したブロックに十分な空き領域がある場合には、CPU10は、該当するブロックのブロック番号を取得して、実際にデータの書き込み対象となるブロックを決定する（ステップB10）。

【0054】一方、データ種別に応じたブロックに十分な空き領域がない場合には、CPU10は、決定したブ

ロックのセクタ長に近い他のブロックを対象として、空き領域があるか否かを判別し、このブロックに空き領域があれば、ブロック番号を取得して、実際にデータの書き込み対象となるブロックを決定する。

【0055】例えば、データ種別に応じて512セクタ長のブロックがデータの書き込み対象として決定されたものの、空き領域が十分になかった場合には（ステップB1、B2、B5）、CPU10は、256セクタ長のブロックについて空き領域のチェックを行ない（ステップB6）、さらに256セクタ長のブロックに空き領域がなかった場合には（ステップB7）、128セクタ長のブロックの空き領域をチェックして（ステップB8）、十分な空き領域があれば128セクタ長のブロックをデータ書き込みの対象とする（ステップB9、B10）。

【0056】同様にして、データ種別に応じて、256セクタ長のブロックが選択された場合、あるいは128セクタ長のブロックが選択された場合でも、十分な空き領域がなかった場合には、他のブロックから空き領域を探して、データの書き込み対象とする。

【0057】このようにして、NOR型フラッシュメモリ12にデータ種別に合わせた異なるセクタ長のブロックを設けることにより、NOR型フラッシュメモリ12に対してデータを書き込む際に、データ種別に応じたブロックを選択することで、例えば1データを1セクタに割り当てようとするデータベース等に用いる記憶領域として、NOR型フラッシュメモリ12を使用した場合であっても、効率良くデータの書き込みを行なうことができる。特に手帳型電子機器のような複数のアプリケーションが実行され、複数のデータ種別が存在する場合に、NOR型フラッシュメモリ12を記憶媒体として用いた場合に有効である。また、前述した第1実施形態による方法と比較して、データの書き込み対象とするブロックを決定するまでの手順が簡単であり、高速な処理が可能である。

【0058】なお、前述した第2実施形態の説明では、データ種別のみによってデータの書き込み対象とするブロックを決定しているが、データ種別を無視し、単に書き込み対象とするデータ長に合わせて、対応するセクタ長が設定されたブロックを選択するようにしても良い。

【0059】また、前述した第2実施形態においては、NOR型フラッシュメモリ12の1ブロック内のセクタ長、セクタ数をブロック毎にそれぞれ異なるものとして説明しているが同じセクタ長、セクタ数のブロックが複数含まれていても良い。例えば、特定のデータ種別のデータを多く扱う場合などには、このデータ種別にあったセクタ長、セクタ数のブロックを他のブロックよりも多く設けることも可能である。

【0060】

【発明の効果】以上詳述したように本発明によれば、N

OR型フラッシュメモリを複数のブロックに分け、各ブロックを固定数、可変長のセクタで管理し、データを書き込む場合には、データを書き込んだ際のブロック内のセクタの平均セクタ長が標準平均値に近くなるブロックを選択して、データを書き込むことにより、ブロック内のセクタ数を固定とすることで、メモリの整理処理等に伴うメモリの管理を複雑化することを回避しつつ、可変長セクタとすることができ、小さいデータを扱う場合であっても、NOR型フラッシュメモリの使用不可能領域を低減させることが可能となるものである。

【図面の簡単な説明】

【図1】 本発明の実施形態に係わるNOR型フラッシュメモリのメモリ制御方法を用いる情報処理装置の基本構成を示すブロック図。

【図2】 第1実施形態における情報処理装置のNOR型フラッシュメモリ12に対するメモリ制御方法の動作を

示すフローチャード。

【図3】 第1実施形態におけるメモリの整理処理を例にしたデータ構成を示す図。

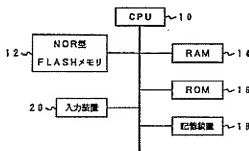
【図4】 第2実施形態における情報処理装置のNOR型フラッシュメモリ12に対するメモリ制御方法の動作を示すフローチャート。

【図5】 第2実施形態におけるメモリの整理処理を例にしたデータ構成を示す図。

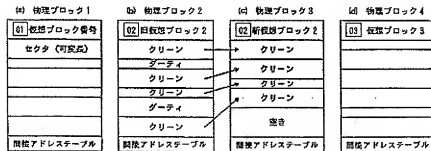
【符号の説明】

- 10…CPU
12…NOR型フラッシュメモリ
14…RAM
16…ROM
18…記憶装置
20…入力装置

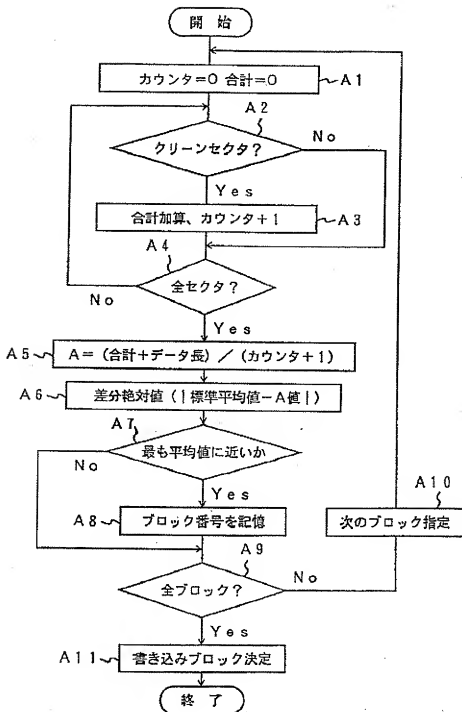
【図1】



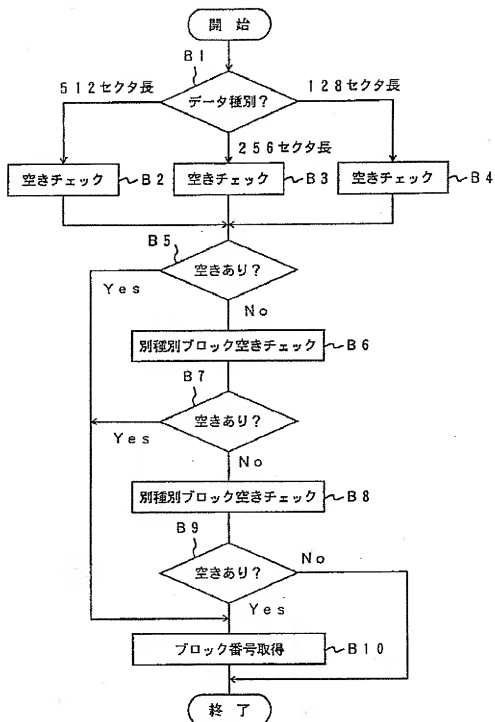
【図3】



【図2】



【図4】



【図5】

(a) 物理ブロック1	(b) 物理ブロック2	(c) 物理ブロック3	(d) 物理ブロック4
01 仮想ブロック番号1	02 旧仮想ブロック2	02 新仮想ブロック2	03 仮想ブロック3
セクタ (512/バイト)	セクタ (256) バイト	→ クリーン	
	→ クリーン	→ クリーン	
	ダーティ	→ クリーン	
	→ クリーン	→ クリーン	
	→ クリーン	→ クリーン	
	ダーティ	→ クリーン	
	→ クリーン	→ 空き	
	→ クリーン	→ 空き	
間接アドレステーブル	間接アドレステーブル	間接アドレステーブル	間接アドレステーブル

セクタ (128/バイト)